

PAT-NO: JP02000022126A
DOCUMENT-IDENTIFIER: JP 2000022126 A
TITLE: SOLID-STATE IMAGE-PICKUP DEVICE
PUBN-DATE: January 21, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
NAKAGAWA, SHINJI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP	N/A

APPL-NO: JP10187763
APPL-DATE: July 2, 1998

INT-CL (IPC): H01L027/148, H04N005/335

ABSTRACT:

PROBLEM TO BE SOLVED: To enable to reduce the readout voltage by signal charge which is read from each photoelectric transfer device, and to reduce the power consumption of a solid-state image-pickup device.

SOLUTION: A solid-state image-pickup device 100 is provided with a semiconductor substrate 11, on which plural HAD(hole accumulate diode) sensors D11-D1m, Dnm, etc., are placed two-dimensionally, a substrate bias generating circuit 12 which supplies substrate voltage V_{sub} to the semiconductor substrate 11, vertical CCD(charge-coupled device) parts V1-Vn which read signal charge from a HAD sensor Dnm of the semiconductor substrate 11 and transfer it in the vertical direction, a charge storing parts A1-An which store a signal charge that is vertically transferred, a horizontal CCD 13 which transfers

the signal
charge from the charge storing parts A1-An in the horizontal
direction and a
charge detector 14 which outputs the signal charge which is
transferred
horizontally. When the signal charge is read from the HAD sensor to
the
vertical CCD, a substrate voltage which is lower than that when no
signal
charge is read from the HAD sensor is applied to the semiconductor
substrate
11.

COPYRIGHT: (C) 2000, JPO

DERWENT-ACC-NO: 2000-166623

DERWENT-WEEK: 200015

COPYRIGHT 2008 DERWENT INFORMATION LTD

TITLE: Solid-state image pick=up device for CCD image
pick=up apparatus has bias generator circuit which
supplies low voltage to semiconductor substrate if vertical
CCD portions read signal electric charge from
photoelectric transducers, otherwise, high voltage is
supplied

INVENTOR: NAKAGAWA S

PATENT-ASSIGNEE: SONY CORP[SONY]

PRIORITY-DATA: 1998JP-187763 (July 2, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
<u>JP 2000022126 A</u>	January 21, 2000	JA

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
JP2000022126A	N/A	1998JP-187763
July 2, 1998		

INT-CL-CURRENT:

TYPE	IPC	DATE
CIPP	H01L27/148	20060101
CIPS	H04N5/335	20060101

ABSTRACTED-PUB-NO: JP 2000022126 A

BASIC-ABSTRACT:

NOVELTY - Vertical CCD portions (V1-Vn) enable reading a signal electric charge from photoelectric transducers (D11-D1m, Dn1-Dnm) of two-dimensional shape on a semiconductor substrate (11), and send it to perpendicular direction.

A bias generator circuit (12) supplies a low voltage to the substrate when reading the signal electric charge from photoelectric transducers, otherwise, a high voltage is supplied.

USE - For charge-coupled device image pick-up apparatus.

ADVANTAGE - Attains reduction of power consumption of solid-state image pick-up device since low voltage is supplied to substrate when reading of signal electric charge. DESCRIPTION OF DRAWING(S) - The figure shows the component block diagram of a solid-state image pick-up device. (11) Semiconductor substrate; (12) Bias generator circuit; (D11-D1m,Dn1-Dnm) Photoelectric transducers; (V1-Vn) Vertical CCD portions.

CHOSEN-DRAWING: Dwg.1/6

TITLE-TERMS: SOLID STATE IMAGE PICK=UP DEVICE CCD APPARATUS BIAS GENERATOR

CIRCUIT SUPPLY LOW VOLTAGE SEMICONDUCTOR SUBSTRATE
VERTICAL PORTION
READ SIGNAL ELECTRIC CHARGE PHOTOELECTRIC TRANSDUCER HIGH

DERWENT-CLASS: U13 W04

EPI-CODES: U13-A02; W04-M01B;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: 2000-125118

Disclaimer:

This English translation is produced by machine translation and may contain errors. The JPO, the INPIT, and those who drafted this document in the original language are not responsible for the result of the translation.

Notes:

1. Untranslatable words are replaced with asterisks (* **).
2. Texts in the figures are not translated and shown as it is.

Translated: 06:08:55 JST 10/03/2008

Dictionary: Last updated 09/12/2008 / Priority:

[Document Name] Description**[Title of the Invention] Solid imaging device****[Claim(s)]**

[Claim 1] The semiconductor board which has arranged two or more photoelectrical conversion elements in the shape of two dimensions, and the voltage feed section which supplies the voltage for substrate bias to said semiconductor board, Have the electric charge transmission part which reads a signal electric charge from the photoelectrical conversion element of said semiconductor board to which the voltage by said voltage feed section was impressed, and is transmitted in the predetermined direction, and [said voltage feed section] It is the solid imaging device characterized by being made as [impress / compared with the voltage when not reading a signal electric charge from said photoelectrical conversion element / at least when reading a signal electric charge from said photoelectrical conversion element to said electric charge transmission part / to said semiconductor board / low voltage].

[Claim 2] It is the solid imaging device according to claim 1 characterized by dropping the voltage which is the case where said semiconductor board, an electric charge transmission part, and a voltage feed section are prepared, and was supplied to said semiconductor board immediately after the standup of the drive pulse which said voltage feed section permits read-out of the signal electric charge to said electric charge transmission part.

[Claim 3] The resistance for voltage division which said voltage feed section divides power supply voltage, and generates the voltage for substrate bias, The solid imaging device according to claim 1 characterized by having the transistor which adjusts said voltage based on the clock signal for voltage control, and the resistance which draws in current by ON operation of said transistor.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is applied to CCD imaging devices which have arranged two or more photoelectrical conversion elements in the shape of two dimensions, such as a frame transfer method, an interline transfer method, and a frame interline transfer method, and relates to a suitable solid imaging device.

[0002] When supplying the voltage for substrate bias to the semiconductor board which has arranged the photoelectrical conversion element in detail and reading a signal electric charge from a photoelectrical conversion element While enabling it to fall the read-out voltage by the signal electric charge read from each photoelectrical conversion element, it enables it to reduce the power consumption of the solid imaging device concerned, as low voltage is impressed to a semiconductor board compared with the voltage when not reading the signal electric charge.

[0003]

[Description of the Prior Art] The case where a video camera and a digital still camera are used at a school, a home, a broadcasting station, etc. in recent years has increased. A solid imaging device is indispensable with this kind of camera. A solid imaging device arranges the CCD (Charge Coupled Device: charge coupled device) image sensor as a photoelectrical conversion element in the shape of two dimensions. Here, a CCD image sensor means the semiconductor device of structure which put in order regularly the unit element child who consists of a photo-diode, a MOS capacitor, etc. The solid imaging device has the function which moves

** and the lump of a certain electric charge accumulated in the semiconductor board surface along with the row of the electrode of a MOS capacitor.

[0004] That is, the solid imaging device has two or more photo-diode (CCD sensor), MOS capacitors, perpendicular CCDs, level CCDs, electric charge primary detecting elements, etc. on the semiconductor board. And if the acceptance surface of a solid imaging device is irradiated, after the light is changed into a signal electric charge by the photo-diode, the signal electric charge will be accumulated in a MOS capacitor. It is transmitted by perpendicular CCD and level CCD, and a signal electric charge is detected by the electric charge primary detecting element of the last stage, and the signal electric charge accumulated in the MOS capacitor serves as an analog image pick-up signal, and is read. In order to perform smoothly such photoelectrical conversion, accumulation of a signal electric charge, transmission, and detection, the voltage for substrate bias (henceforth substrate voltage) is supplied to the semiconductor board.

[0005] Drawing 6 is the figure showing the example of composition of the substrate bias generating circuit 1 of this kind of solid imaging device. The substrate bias generating circuit 1 has the resistance R1 and R2 for voltage division. One end of resistance R1 is connected to the power supply line VCC, and the other end is connected to one end of resistance R2. The other end of resistance R2 is connected to the earthing conductor GND. The substrate voltage Vsub is pulled out from a series connection point p1 of resistance R1 and R2, and is supplied to the semiconductor board which has arranged the photo-diode which is not illustrated, the MOS capacitor, perpendicular CCD, level CCD, the electric charge primary detecting element, etc. The substrate bias terminal 2 is formed in the series connection point p1 of the resistance R1 and R2 for voltage division, the resistance R0 for external which is about several Mohms is connected, and except when performing an electronic shutter function, the substrate voltage Vsub is being fixed.

[0006]

[Problem to be solved by the invention] By the way, according to the conventional method, the unit element child itself is becoming very small by the miniaturization of a solid imaging device, and many pixel-ization. For this reason, there are the following problems. ** If the size of a CCD image sensor becomes small, substrate voltage for reading a signal electric charge from CCD sensors, such as a photo-diode, to perpendicular CCD must be made high. Although this miniaturizes a horizontal width of 1 pixel of the acceptance surface of a solid imaging device, it is because the reduction to the depth direction of a substrate can seldom be expected. ** Moreover, when it is going to drop the read-out voltage by the signal electric charge for reading to

perpendicular CCD in process, there is a possibility that the margins to blooming may run short. Here, blooming means the phenomenon which the white line of the picture of a photographic subject with high luminosity runs up and down. This phenomenon is produced in order to mix the signal electric charge which overflowed without the ability accumulating by the photo-diode which received a strong light in the signal electric charge transmitted by perpendicular CCD. As for such a phenomenon, the fault on the process of a CCD image sensor (henceforth a photoelectrical conversion element) results. It is thought that it generates since overflow potential ϕ_{OVB} of a photo-diode and channel potential ϕ_{ROG} of the read-out gate of perpendicular CCD are reversed. ** If read-out voltage of the signal electric charge read to perpendicular CCD is made high as this measure against blooming, a margin is securable, but power consumption will increase systematically shortly.

[0007] Then, this invention is created in view of the above-mentioned technical problem, and while enabling it to fall the read-out voltage by the signal electric charge read from each photoelectrical conversion element, it aims at offering the solid imaging device which enabled it to reduce power consumption.

[0008]

[Means for solving problem] The semiconductor board in which the technical problem mentioned above has arranged two or more photoelectrical conversion elements in the shape of two dimensions, It has the electric charge transmission part which reads a signal electric charge from the photoelectrical conversion element of the semiconductor board to which the voltage by the voltage feed section which supplies the voltage for substrate bias to this semiconductor board, and this voltage feed section was impressed, and is transmitted in the predetermined direction. A voltage feed section is solved with the solid imaging device characterized by being made as [impress / compared with the voltage when not reading a signal electric charge from a photoelectrical conversion element / to a semiconductor board / low voltage], at least when reading a signal electric charge from a photoelectrical conversion element to an electric charge transmission part.

[0009] According to this invention, when reading a signal electric charge from a photoelectrical conversion element to an electric charge transmission part, compared with the voltage for the substrate bias when not reading the signal electric charge, low voltage is impressed to a semiconductor board from a voltage feed section. Therefore, since a part of signal electric charge when reading from each photoelectrical conversion element to an electric charge transmission part can be missed to the semiconductor board side, the read-out voltage by the signal electric charge can be reduced. Thereby, the power consumption of the solid imaging

device concerned can be reduced because the read-out voltage by the signal electric charge at the time of electric charge read-out falls.

[0010]

[Mode for carrying out the invention] The form of implementation of this invention is explained hereafter, referring to Drawings. Drawing 1 is the block diagram showing the example of composition of the solid imaging device 100 as an embodiment of this invention.

[0011] When supplying the voltage for substrate bias to the semiconductor board which has arranged the photoelectrical conversion element and reading a signal electric charge from a photoelectrical conversion element to it in this embodiment While enabling it to fall the read-out voltage by the signal electric charge read from each photoelectrical conversion element, it enables it to reduce the power consumption of the solid imaging device concerned, as low voltage is impressed to a semiconductor board compared with the voltage when not reading the signal electric charge.

[0012] The solid imaging device 100 of this invention has the semiconductor board 11 shown in drawing 1, and image pick-up field (acceptance surface) (1) and shading field (2) are classified on this semiconductor board 11. The portion surrounded with the dashed line by this image pick-up field (1) is the unit element child 50 who constitutes 1 pixel. Drawing 4 explains the unit element child's 50 cross-sectional constructional example.

[0013] Two or more photoelectrical conversion elements are arranged in the shape of two dimensions at image pick-up field [on this semiconductor board 11] (1). for example, in applying the solid imaging device 100 to a FIT (Frame Interline Transfer) method A P+NPN type hole AKYUMU rate diode (Hole Accumulated Diode: henceforth a HAD sensor) is used as a photoelectrical conversion element. this solid imaging device 100 -- a total -- when it constitutes from a $m \times n$ ($m=1-m$, $n=1-n$) pixel, HAD sensor D11-D1m of m pieces is formed perpendicularly -- these HAD sensors D11-D -- horizontally, $1m$ is located in a line n rows, and is formed. The light which entered into this image pick-up field (1) is accumulated in a MOS capacitor which is explained by drawing 4.

[0014] The substrate bias generating circuit 12 is formed in this semiconductor board 11 as a voltage feed section, and the voltage for substrate bias (henceforth the substrate voltage V_{sub}) is supplied to the semiconductor board 11. [this example / the substrate bias generating circuit 12] at least when reading a signal electric charge from the HAD sensor D_{nm} to an electric charge transmission part It is made as [impress / compared with substrate voltage V_{sub1} when not reading a signal electric charge from the HAD sensor D_{nm} / to the semiconductor board 11 / low substrate voltage V_{sub2}]. Drawing 2 explains the example of an internal configuration of the substrate bias generating circuit 12.

[0015] The perpendicular CCD sections $V1-Vn$ of n sequence are formed in the perpendicular direction of this semiconductor board 11 in the shape of a lattice as an electric charge transmission part. A signal electric charge is read from each HAD sensor $D11-D1m$ of the semiconductor board 11 which impressed the substrate voltage V_{sub} , $D21-D2m...Dn1 - D_{nm}$, and the signal electric charge is perpendicularly transmitted based on a transfer clock signal. The clock signal of 2^{**} , 4^{**} , and 6^{**} etc. is used for the transfer clock signal in this case.

[0016] Moreover, the electric charge accumulation parts $A1-A_n$ are formed in shading field [on the semiconductor board 11] (2), each output stage of the perpendicular CCD sections $V1-Vn$ is connected to these electric charge accumulation parts $A1-A_n$, and it is made as [accumulate / the signal electric charge by the perpendicular CCD sections $V1-Vn$]. The level CCD section 13 is connected to these electric charge accumulation parts $A1-A_n$ as an electric charge transmission part, and the signal electric charge by the electric charge accumulation parts $A1-A_n$ is horizontally transmitted to them based on a transfer clock signal. The electric charge primary detecting element 14 is connected to the output stage of this level CCD section 13, and the signal electric charge by the level CCD section 13 is detected. Amplifier 15 is connected to the output stage of the electric charge primary detecting element 14, and the analog image pick-up signal S_{out} after signal electric charge detection is amplified. The analog image pick-up signal S_{out} after this amplification is outputted to circumference circuits, such as an external signal-processing circuit, from the output terminal 16.

[0017] Drawing 2 is the circuit diagram showing the example of an internal configuration of the substrate bias generating circuit 12. The substrate bias generating circuit 12 shown in drawing 2 has three resistance $R1-R3$ and one transistor Tr .

[0018] One end of resistance $R1$ is connected to the power supply line VCC , and the other end is connected

to one end of resistance R2. The other end of resistance R2 is connected to the earthing conductor GND. The substrate voltage V_{sub} divides power-supply-voltage VCC-GND, is generated, and is pulled out from a series connection point p1 of resistance R1 and R2. This substrate voltage V_{sub} is supplied to the semiconductor board 11 which has arranged the HAD sensor D11-D1m [which was shown in drawing 1], D21-D2m...Dn1 - Dnm, and perpendicular CCD sections V1-Vn, the level CCD section 13, the electric charge primary detecting element 14, etc.

[0019] The n type field effect transistor Tr is connected to the series connection point p1 of the resistance R1 and R2 for voltage division, for example. In this example, the substrate voltage V_{sub} at the time of signal electric charge read-out is adjusted as a clock signal for voltage control based on electronic shutter control pulse ϕV_{sub} , for example. For this reason, the drain of Transistor Tr is connected to the series connection point p1, and that source is connected to the end of resistance R3. Electronic shutter control pulse ϕV_{sub} is supplied to the gate of Transistor Tr.

[0020] comparing this resistance R3 with the external resistance $R0=1/\omega$ grade of the conventional method -- 1/10-1/-- low 100...several steps -- several -- it is a number of 10Kohm- 100Kohm unit. The other end of resistance R3 is connected to an earthing conductor GND. In this example, if high-level electronic shutter control pulse ϕV_{sub} is inputted into the gate of Transistor Tr, Transistor Tr turns on. Since current flows into resistance R3 by this ON operation, the substrate voltage V_{sub} can be dropped.

[0021] Next, operation at the time of signal electric charge read-out of the substrate bias generating circuit 12 is explained. Drawing 3 A is the pulse shape figure of read-out clock signal ϕSG , drawing 3 B is the wave form chart of the substrate voltage V_{sub} , and drawing 3 C is the pulse shape figure of electronic shutter control pulse ϕV_{sub} . In this example, the substrate voltage V_{sub} supplied to the semiconductor board 11 is dropped by the substrate bias generating circuit 12 immediately after the standup of read-out clock signal ϕSG . Read-out clock signal ϕSG in this case is a drive pulse which carries out read-out permission of a signal electric charge to the perpendicular CCD sections V1-Vn from HAD sensor D11-D1m, D21-D2m...Dn1 - Dnm.

[0022] Usually, the substrate voltage of the semiconductor board 11 is made as [fix / to V_{sub1} / in DC]. When using a high-speed electronic shutter, in order to sweep and throw away HAD sensor D11-D1m, D21-D2m...Dn1 - the signal electric charges of Dnm into the semiconductor board 11 all at once by timing (1) shown in drawing 3 B It is made as [impress / substrate voltage V_{sub3} / higher than usual substrate voltage

Vsub1].

[0023] In this example, if it reads by timing (2) shown in drawing 3 A and clock signal ϕ_{SG} rises, electronic shutter control pulse ϕ_{Vsub} will rise from a low level high-level immediately after that standup by timing (3) shown in drawing 3 C. The transistor T_r which inputted this electronic shutter control pulse ϕ_{Vsub} is turned on. Substrate voltage V_{sub2} [lower than usual substrate voltage V_{sub1}] at timing (4) shown in drawing 3 B come to be impressed to the semiconductor board 11 by this ON operation. That is, the current by a surplus signal electric charge can be compulsorily drawn into resistance R_3 , and this current can be made to consume by resistance R_3 by ON operation of Transistor T_r . The substrate voltage V_{sub} can be dropped by the result. In this example, substrate voltage V_{sub1} shown in drawing 3 B, V_{sub2} , and V_{sub3} are the absolute potential from an earthing conductor GND, and they have the relation of $V_{sub2} < V_{sub1} < V_{sub3}$.

[0024] Therefore, HAD sensor D_{11-D1m} which is carrying out capacitive coupling to the semiconductor board 11 at the time of read-out of a signal electric charge, The potential of $D_{21-D2m...Dn1} - D_{nm}$ also becomes shallow, and As a result, each HAD sensor D_{11-D1m} , $D_{21-D2m...Dn1} - D_{nm}$, When the fringing electric field between the perpendicular CCD sections V_1-V_n becomes high The signal electric charge read from HAD sensor D_{11-D1m} , $D_{21-D2m...Dn1} - D_{nm}$ to the perpendicular CCD sections V_1-V_n can be lessened, and read-out voltage by this signal electric charge can be low-voltage-ized.

[0025] In addition, since he is trying to impress substrate voltage V_{sub2} [lower than usual substrate voltage V_{sub1}] to the semiconductor board 11 even when the light of excessive intensity is received at the time of read-out of a signal electric charge, some signal electric charges can be missed to the semiconductor board 11. As a result, since the signal electric charge which overflowed without the ability accumulating by the HAD sensor D_{nm} which received a strong light can avoid being mixed with the signal electric charge transmitted in the perpendicular CCD sections V_1-V_n , blooming which the up and down white line of the picture of a photographic subject what is called with high luminosity runs can be suppressed.

[0026] (Work example) Drawing 4 is the sectional view showing the constructional example of the unit element child 50 who consists of one HAD sensor 20, read-out gate 30, and perpendicular CCD40 used with the solid imaging device 100. In the range which the relation between overflow potential ϕ_{OFB} and read-out potential ϕ_{ROG} of perpendicular CCD does not reverse in this example by dropping the substrate voltage V_{sub} at the time of read-out of a signal electric charge ($\phi_{OFB} < \phi_{ROG}$) Abnormal conditions (it is made shallow) are given to the potential of the HAD sensor 20. That is, low-voltage-ization of the substrate voltage

Vsub is attained to the grade which can secure minimum read-out voltage required for transmission of a signal electric charge.

[0027] As for the unit element child 50 who uses it with the solid imaging device 100 shown in drawing 4, the N type silicon substrate 21 is used as a semiconductor board. P type which demarcates image pick-up field (1), shading field (2), etc. which were shown by drawing 1 to the silicon substrate 21 -- a well -- the layer 22 is formed. P type -- a well -- after a layer 22 diffuses P type impurities in the silicon substrate 21, it is formed by giving heat treatment etc.

[0028] this P type -- a well -- P type for perpendicular CCD in a layer 22 -- a well -- while a layer 23 is formed -- this P type -- a well -- the N type impurity diffused layer 24 used as an active layer is formed in the layer 23. After the N type impurity diffused layer 24 diffuses N type impurities, it is formed by giving heat treatment etc. P type with which the N type impurity diffused layer 24 was formed -- a well -- while the silicon oxide film 29 used as gate oxide is formed on a layer 22, on this silicon oxide film 29, the polysilicon film 31 used as a gate electrode or a transmission electrode is formed.

[0029] In this example, in order to form the read-out gate 30, the polysilicon film 31 is formed so that the top field of the N type impurity diffused layer 24 may be overflowed into right-hand side. in order that perpendicular CCD40 may transmit a signal electric charge perpendicularly to space -- P type -- a well -- a layer 23 and one pair of N -- an n type field effect transistor is constituted by the impurity diffused layer 24 of type, for example.

[0030] moreover, P type -- a well -- it reads in a layer 22 and faces across a gate 30 -- as -- N type for HAD sensors -- a well -- the layer 25 is formed. this -- this N type -- a well -- in the layer 25, the P+ type impurity diffused layer 26 used as an active layer is formed. Of course, the silicon oxide film 29 is formed also on the P+ impurity diffused layer 26 of type. this P+ type impurity diffused layer 26 and N type -- a well -- a layer 25 and P type -- a well -- ***** from which a P+NPN type photo-diode is constituted by a layer 22 and the N type silicon substrate 21, and the HAD sensor 20 of one unit is constituted. in addition, the read-out gate 30 -- P type -- a well -- making a layer 22 into a channel field -- the impurities diffusion 24 of N type for perpendicular CCD, and N type for HAD sensors -- a well -- it is constituted by the n type field effect transistor which used the polysilicon film 31 as the gate electrode while sharing a layer 25.

[0031] P type for perpendicular CCD at this example -- a well -- [the channel stopper layer 27 is formed in the left-hand side of a layer 23, and] N type for HAD sensors -- a well -- the channel stopper layer 28 is formed in the right-hand side of a layer 25, and element separation is carried out from the HAD sensor 20, perpendicular CCD40, etc. which constitute other unit pixels which adjoin this unit element child 50.

[0032] Furthermore, on the polysilicon film 31, it is formed so that the silicon oxide film 32 as an interlayer insulation film may cover the whole substrate. On the silicon oxide film 32, while being used for signal wiring of a transfer clock signal etc., the aluminum film 33 which functions also as a light-shielding film is formed alternatively. The aluminum film 33 is not formed in the portion which serves as the window part 34 of the HAD sensor 20 on the silicon oxide film 32. This window part 34 is a portion which enters the light from a photographic subject in the P+ type impurity diffused layer 26.

[0033] In this example, it is made as [supply / compared with substrate voltage V_{sub1} when not reading that signal electric charge from the substrate bias generating circuit 12 shown by drawing 2 to the N type silicon substrate 21 / low substrate voltage V_{sub2}] at the time of read-out of a signal electric charge.

[0034] Next, operation at the time of read-out of the unit element child 50 used with the solid imaging device 100 is explained. Drawing 5 is the figure showing the unit element child's 50 potential example used with the solid imaging device 100.

[0035] In this example, when a boundary line L is defined in drawing 5, the right-hand side of that boundary line L is the potential of a substrate horizontal direction, and shows change of channel potential ϕ_{iROG} of the read-out gate 30. The right-hand side is the potential of the substrate depth direction, and shows change of overflow potential ϕ_{iOFB} of the HAD sensor 20. Any potential shows a thing with the deep (energy-rich) lower part with the shallow (energy is) upper part. X1-X2 prolonged on right-hand side from the boundary line L -- N type of the HAD sensor 20 -- a well -- the depth direction which goes to N type silicon substrate 21 from a layer 25 is defined.

[0036] first -- if light enters into the window part 34 shown in drawing 4 -- N type -- a well -- the signal electric charge 10 is accumulated into a layer 25. P type shown in drawing 5 at this time -- a well -- the signal electric charge 10 which overflow potential ϕ_{iOFB} of the layer 22 had upheaved and was generated in the field

shallower than that maximum point -- N type -- a well -- it rolls at the minimum point of accumulation potential ϕ_{IS} of a layer 25, and is fallen and accumulated in it.

[0037] this N type -- a well -- in reading the signal electric charge 10 accumulated in the layer 25 to perpendicular CCD40, it impresses a read-out enabling signal $\phi_{ISG} = "H"$ (yes) level to the read-out gate 30. that is, -- if read-out enabling signal ϕ_{ISG} of the "H" level reads and it is impressed by a gate 30 -- channel potential ϕ_{IROG} -- N type of the HAD sensor 20 -- a well -- becoming deeper than accumulation potential ϕ_{IS} of a layer 25, and being opened by what is called channel The signal electric charge 10 is read to perpendicular CCD40 by this channel opening. [supply the substrate voltage V_{sub} to N type silicon substrate 21 so that it may read with overflow potential ϕ_{IOFB} and a relation with channel potential ϕ_{IROG} of a gate 30 may maintain $\phi_{IOFB} > \phi_{IROG}$ at this time, but] In this example, it is made as [impress / compared with substrate voltage V_{sub1} when not reading the signal electric charge 10 from the HAD sensor 20 / low substrate voltage V_{sub2}].

[0038] therefore, N type of the HAD sensor 20 which is carrying out capacitive coupling to N type silicon substrate 21 -- a well -- while accumulation potential ϕ_{IS} of a layer 25 becomes shallow, the difference of this accumulation potential ϕ_{IS} and the maximum point of overflow potential ϕ_{IOFB} decreases. as a result, N type -- a well -- a part of signal electric charge 10 accumulated in the layer 25 can be missed to N type silicon substrate 21. When the fringing electric field between the HAD sensor 20 and perpendicular CCD40 becomes high with this, the signal electric charge 10 read from the HAD sensor 20 to perpendicular CCD40 can be lessened. By reduction of this signal electric charge 10, ***** can do low read-out voltage of the signal electric charge 10 transmitted by perpendicular CCD40.

[0039] In addition, the signal electric charge 10 read to perpendicular CCD40 is transmitted in the direction which carries out perpendicular to space by making the transmission electrode of the perpendicular CCD40 into a middle potential $\phi_{ISG} = "M"$ (MIDDO) level, or making it into a potential $\phi_{ISG} = "L"$ (low) level lower than it. And the signal electric charge 10 results in the electric charge primary detecting element 14 through the level CCD section 13, after being accumulated in the electric charge accumulation part A1 shown in drawing 1, after being amplified with amplifier 15, serves as the analog image pick-up signal Sout, and is outputted from the output terminal 16.

[0040] Moreover, while the signal electric charge 10 is transmitted by perpendicular CCD40, substrate voltage V_{sub1} of origin is impressed to N type silicon substrate 21 by the substrate bias generating circuit 12. the

signal electric charge 10 on the other hand, photoelectrical conversion of the following picture is carried out by the HAD sensor 20, and according to this -- N type -- a well -- it is accumulated in a layer 25. Since substrate voltage V_{sub1} is supplied to N type silicon substrate 21 at this time, ***** can do more deeply than HAD sensor 20 overflow potential ϕ_{iOFB} channel potential ϕ_{iROG} of the read-out gate 30 of a perpendicular transmission state. Therefore, it is always made as [maintain / the relation of $\phi_{iOFB} > \phi_{iROG}$], and it is avoided that the signal electric charge 10 under accumulation mixes in perpendicular CCD40.

[0041] Thus, according to this example, when reading the signal electric charge 10 from the HAD sensor 20 to perpendicular CCD40, compared with substrate voltage V_{sub1} when not reading the signal electric charge 10, low substrate voltage V_{sub2} are impressed to N type silicon substrate 21 from the substrate bias generating circuit 12.

[0042] Therefore, since a part of signal electric charge 10 read from each HAD sensor 20 to perpendicular CCD40 can be missed to the N type silicon substrate 21 side, the read-out voltage by the signal electric charge 10 can be reduced.

[0043] It becomes possible to attain low-voltage-ization of the substrate voltage V_{sub} to the grade which can secure minimum read-out voltage required for transmission of the signal electric charge 10 by this. The power consumption of the solid imaging device 100 concerned can be reduced because the read-out voltage from the HAD sensor 20 falls.

[0044] Moreover, the drive voltage of the circumference circuit connected to the solid imaging device 100 concerned can be dropped because the read-out voltage from the HAD sensor 20 falls. Therefore, power consumption, such as a video camera carrying the solid imaging device 100 concerned, can also be reduced.

[0045] Furthermore, the signal electric charge 10 can be transmitted perpendicularly and horizontally, without generating what is called blooming because the read-out voltage from the HAD sensor 20 falls. Therefore, expansion of the amount of saturation signals of the HAD sensor 20 is achieved, and a unit pixel can be further miniaturized in the equivalent image pick-up characteristic. Thereby compared with the solid imaging device of the conventional method with the acceptance surface of the same size, many pixel-ization can be attained. Although this example explained the case where substrate voltage was dropped from V_{sub1} to V_{sub2} immediately after read-out enabling signal ϕ_{iSG} 's having read and impressing by a gate 30, it is not

restricted to this.

[0046] For example, since image pick-up field (1) is beforehand shaded when a mechanical shutter etc. is used and the signal electric charge 10 is read from the HAD sensor 20, it may precede with read-out of the signal electric charge 10, and substrate voltage may be dropped from V_{sub1} to V_{sub2} . The same effect is acquired by this. Of course, you may drive the substrate voltage V_{sub} to time sharing with three values (at the time [At the time of read-out time of /accumulation/sweeping.] of **).

[0047] Although the form of this operation explained the case of the solid imaging device of a frame interline transfer method, it cannot be overemphasized that it is not restricted to this and can apply also to the solid imaging device of a frame transfer method or an interline transfer method.

[0048]

[Effect of the Invention] As explained above, when reading a signal electric charge from a photoelectrical conversion element to an electric charge transmission part, according to this invention, the voltage feed section which impresses low voltage to a semiconductor board compared with the voltage for the substrate bias when not reading that signal electric charge is prepared.

[0049] By this composition, the read-out voltage by the signal electric charge read from each photoelectrical conversion element to an electric charge transmission part can be reduced. Therefore, the power consumption of the solid imaging device concerned can be reduced because the read-out voltage at the time of signal electric charge read-out falls.

[0050] Moreover, the drive voltage of the circumference circuit of the solid imaging device concerned can be dropped because the read-out voltage at the time of signal electric charge read-out falls. Therefore, the power consumption in the circumference circuit can also be reduced.

[0051] Furthermore, the signal electric charge can be transmitted perpendicularly and horizontally, without being accompanied what is called by blooming, since the voltage for substrate bias is returned at the time of

electric charge transmission. Therefore, expansion of the amount of saturation signals of a photoelectrical conversion element is achieved, and a unit pixel can be further miniaturized in the equivalent image pick-up characteristic. Thereby compared with the conventional method, many pixel-ization of a solid imaging device can be attained.

[0052] This invention is applied to CCD imaging devices which have arranged two or more photoelectrical conversion elements in the shape of two dimensions, such as a frame transfer method, an interline transfer method, and a frame interline transfer method, and is very suitable.

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the example of composition of the solid imaging device 100 as an embodiment.

[Drawing 2] It is the circuit diagram showing the example of an internal configuration of the substrate bias generating circuit 12.

[Drawing 3] It is the timing chart which shows the example of the substrate bias generating circuit 12 of operation.

[Drawing 4] It is the sectional view showing the constructional example of the unit element child 50 who consists of HAD sensor [as a work example] 20, read-out gate 30, and perpendicular CCD40.

[Drawing 5] It is the figure showing the unit element child's 50 potential example.

[Drawing 6] It is the circuit diagram showing the example of composition of the substrate bias generating circuit 1 of the conventional method.

[Explanations of letters or numerals] 11 ... A semiconductor board, 12 ... A substrate bias generating circuit, 13 ... Level CCD section (electric charge transmission part), 14 ... An electric charge primary detecting element, 15 ... Amplifier, R1, R2, R3 ... Resistance, Tr ... A transistor, 20, D11-D1m, D11-Dn1 ... HAD sensor (photoelectrical conversion element), 21 ... N type silicon substrate, and 22 and 23 ... P type -- a well -- A layer, and 24 and 25 ... N type -- a well -- a layer -- 26 ... A P+ type impurity diffused layer, 27, 28 ... Channel stopper layer, 29, 32 [... A window part, 30 / ... A read-out gate, 40, V1 - Vn / ... The perpendicular CCD section, 100 / ... Solid imaging device] ... A silicon oxide film, 31 ... A polysilicon film, 33 ... An aluminum film, 34

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-22126

(P2000-22126A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 27/148		H 0 1 L 27/14	B 4 M 1 1 8
H 0 4 N 5/335		H 0 4 N 5/335	Z 5 C 0 2 4

審査請求 未請求 請求項の数 3 ○ L (全 10 頁)

(21) 出願番号 特願平10-187763

(22) 出願日 平成10年7月2日 (1998.7.2)

(71) 出願人 00002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 中川 進次

東京都品川区北品川 6 丁目 7 番35号 ソニー株式会社内

(74) 代理人 100090376

弁理士 山口 邦夫 (外 1 名)

F ターム (参考) 4M118 AA04 AA10 AB01 BA12 BA13

CA04 DA03 DA32 DB11 FA06

FA13 FA26 FA35 FA50 GB11

50024 AD01 CA00 FA01 FA11 GA15

GA16 GA17 GA44

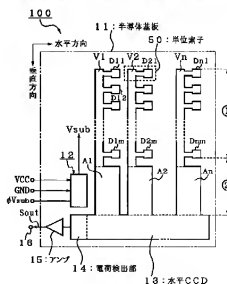
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 各々の光電変換素子から読み出される信号電荷による読み出し電圧を低下できるようにすると共に、当該固体撮像装置の消費電力を低減できるようにする。

【解決手段】 複数のHADセンサD11～D1m, Dnm・・・を二次元状に配置した半導体基板11と、この半導体基板11に基板電圧Vsubを供給する基板バイアス発生回路12と、この半導体基板11のHADセンサDnmから信号電荷を読み出して垂直方向に転送する垂直CCD部V1～Vnと、この垂直転送された信号電荷を蓄積する電荷蓄積部A1～Anと、この電荷蓄積部A1～Anによる信号電荷を水平方向に転送する水平CCD部13と、この水平転送された信号電荷を出力する電荷検出部14とを備え、HADセンサから垂直CCDに信号電荷を読み出すときは、そのHADセンサから信号電荷を読み出さない場合の基板電圧に比べて低い基板電圧を半導体基板11に印加するようになされたものである。

実施形態としての固体撮像装置100の構成例



D11～D1m, D11～Dn1: HADセンサ
A1～An: 電荷蓄積部
V1～Vn: 垂直CCD
12: 基板バイアス発生回路

【特許請求の範囲】

【請求項1】 複数の光電変換素子を二次元状に配置した半導体基板と、

前記半導体基板に基板バイアス用の電圧を供給する電圧供給部と、

前記電圧供給部による電圧が印加された前記半導体基板の光電変換素子から信号電荷を読み出して所定の方向に転送する電荷転送部とを備え、

前記電圧供給部は、少なくとも、前記光電変換素子から前記電荷転送部に信号電荷を読み出すときは、前記光電変換素子から信号電荷を読み出さない場合の電圧に比べて低い電圧を前記半導体基板に印加するようになされたことを特徴とする固体撮像装置。

【請求項2】 前記半導体基板、電荷転送部及び電圧供給部が設けられる場合であって、

前記電圧供給部は、

前記電荷転送部への信号電荷の読み出しを許可する駆動パルスの立ち上りの直後に、前記半導体基板に供給された電圧を下げることを特徴とする請求項1記載の固体撮像装置。

【請求項3】 前記電圧供給部は、

電源電圧を分割して基板バイアス用の電圧を生成する電圧分割用の抵抗と、

電圧制御用のクロック信号に基づいて前記電圧を調整するトランジスタと、

前記トランジスタのオン動作によって電流を引き入れる抵抗とを有することを特徴とする請求項1記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は複数の光電変換素子を二次元状に配置したフレームトランスファ方式、インターラントランスファ方式及びフレームインターラントランスファ方式などのCCD撮像装置に適用して好適な固体撮像装置に関する。

【0002】詳しくは、光電変換素子を配置した半導体基板に基板バイアス用の電圧を供給する際に、光電変換素子から信号電荷を読み出すときは、その信号電荷を読み出さない場合の電圧に比べて低い電圧を半導体基板に印加するようにして、各々の光電変換素子から読み出される信号電荷による読み出し電圧を低下できるようにすると共に、当該固体撮像装置の消費電力を低減できるようにしたものである。

【0003】

【従来の技術】近年、学校、家庭や放送局などにおいてビデオカメラ及びデジタルスチルカメラが使用される場合が多くなってきた。この種のカメラで不可欠なのが固体撮像装置である。固体撮像装置は光電変換素子としてのCCD (Charge Coupled Device: 電荷結合素子) 撮像素子を二次元状に配置したものである。ここで、C

CD撮像素子とは、フォトダイオードやMOSキャパシタなどからなる単位素子を規則正しく並べた構造の半導体デバイスをいう。固体撮像装置は半導体基板表面に蓄積されたある電荷のひとかたまりをMOSキャパシタの電極の並びに沿って移動する機能を有している。

【0004】つまり、固体撮像装置は半導体基板上に複数のフォトダイオード (CCDセンサ)、MOSキャパシタ、垂直CCD、水平CCD及び電荷検出部などを有している。そして、光を固体撮像装置の受光面に照射すると、その光がフォトダイオードによって信号電荷に変換された後に、その信号電荷がMOSキャパシタに蓄積される。MOSキャパシタに蓄積された信号電荷は、垂直CCDや水平CCDによって転送され、最終段の電荷検出部で信号電荷が検出されてアナログ撮像信号となって読み出される。このような光電変換、信号電荷の蓄積、転送及び検出を円滑に行なうために半導体基板には、基板バイアス用の電圧 (以下基板電圧ともいう) が供給されている。

【0005】図6はこの種の固体撮像装置の基板バイアス発生回路1の構成例を示す図である。基板バイアス発生回路1は電圧分割用の抵抗R1及びR2を有している。抵抗R1の一端は電源線VCCに接続され、その他端は抵抗R2の一端に接続される。抵抗R2の他端は接地線GNDに接続されている。基板電圧Vsubは抵抗R1及びR2の直列接続点p1から引き出され、図示しないフォトダイオード、MOSキャパシタ、垂直CCD、水平CCD及び電荷検出部などを配置した半導体基板に供給される。電圧分割用の抵抗R1及びR2の直列接続点p1には基板バイアス端子2が設けられ、数MΩ程度の外付け用の抵抗R0が接続され、電子シャッタ機能を行なう場合以外には基板電圧Vsubが固定されている。

【0006】

【発明が解決しようとする課題】ところで、従来方式によれば、固体撮像装置の小型化及び多画素化により単位素子自体も非常に小さくなってきている。このため、以下のような問題がある。

① CCD撮像素子のサイズが小さくなると、フォトダイオードなどのCCDセンサから垂直CCDに信号電荷を読み出すための基板電圧を高くせざるを得なくなる。これは固体撮像装置の受光面の1画素の水平方向の幅は微細化するが、基板の深さ方向への縮小があまり見でないためである。

② また、垂直CCDに読み出すための信号電荷による読み出し電圧をプロセス的に下げようとする、ブルーミングに対するマージンが不足するおそれがある。ここで、ブルーミングとは輝度の高い被写体の画像の上下に白い筋が走ってしまいう現象をいう。この現象は、垂直CCDで転送している信号電荷に、強い光を受けたフォトダイオードで蓄積しきれずにあふれた信号電荷が混ざってしまったために生ずる。このような現象は、CCD撮像

素子（以下光電変換素子ともいう）のアロセス上の不具合が原因して、フォトダイオードのオーバーフローポテンシャル Φ_{OFF} と垂直CCDの読み出しゲートのチャネルポテンシャル Φ_{RG} とが逆転してしまうために発生するものと考えられる。

⑤ このブルーミング対策としては、垂直CCDに読み出す信号電荷の読み出し電圧を高くすればマージンは確保できるが、今度はシステムの消費電力が増加することとなる。

【0007】そこで、本発明は上記の課題に鑑み創作されたものであり、各々の光電変換素子から読み出される信号電荷による読み出し電圧を低下できるようにすると共に、消費電力を低減できるようにした固体撮像装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上述した課題は、複数の光電変換素子を二次元状に配置した半導体基板と、この半導体基板に基板バイアス用の電圧を供給する電圧供給部と、この電圧供給部による電圧が印加された半導体基板の光電変換素子から信号電荷を読み出して所定方向に転送する電荷転送部とを備え、電圧供給部は、少なくとも、光電変換素子から電荷転送部に信号電荷を読み出すときは、光電変換素子から信号電荷を読み出さない場合の電圧に比べて低い電圧を半導体基板に印加するようになされたことを特徴とする固体撮像装置によって解決する。

【0009】本発明によれば、光電変換素子から電荷転送部へ信号電荷を読み出すとき、その信号電荷を読み出さない場合の基板バイアス用の電圧に比べて低い電圧が電圧供給部から半導体基板に印加される。従って、各々の光電変換素子から電荷転送部へ読み出すときの信号電荷の一部を半導体基板側に逃がることができるので、その信号電荷による読み出し電圧を低下させることができる。これにより、電荷読出し時の信号電荷による読み出し電圧が下がることによって、当該固体撮像装置の消費電力を低減させることができる。

【0010】

【発明の実施の形態】以下、図面を参照しながら、この発明の実施の形態について説明をする。図1は本発明の実施形態としての固体撮像装置100の構成例を示すブロック図である。

【0011】この実施形態では、光電変換素子を配置した半導体基板に、基板バイアス用の電圧を供給する際には、光電変換素子から信号電荷を読み出すときは、その信号電荷を読み出さない場合の電圧に比べて低い電圧を半導体基板に印加するようにして、各々の光電変換素子から読み出される信号電荷による読み出し電圧を低下できるようにすると共に、当該固体撮像装置の消費電力を低減できるようにしたものである。

【0012】この発明の固体撮像装置100は図1に示

す半導体基板11を有しており、この半導体基板11上には撮像領域（受光面）①及び遮光領域②が区分けされている。この撮像領域①で被撮像体から入射する光を構成する単位素子50である。単位素子50の断面構造例については図4で説明する。

【0013】この半導体基板11上の撮像領域①には、複数の光電変換素子が二次元状に配置されている。例えば、固体撮像装置100をFIT（Frame Interline Transfer）方式に適用する場合には、光電変換素子としてP⁺NPN型のホール・アキュムレート・ダイオード（Hole Accumulated Diode；以下HADセンサという）が使用される。この固体撮像装置100を合計 $m \times n$ （ $m=1 \sim m$ 、 $n=1 \sim n$ ）画素で構成する場合には、垂直方向に m 個のHADセンサD11～D1mが形成され、このHADセンサD11～D1mが水平方向に n 列並んで形成されている。この撮像領域①に入射した光は図4で説明するようなMOSキャパシタに蓄積される。

【0014】この半導体基板11には電圧供給部として基板バイアス発生回路12が形成されており、半導体基板11に基板バイアス用の電圧（以下基板電圧Vsubと）供給される。この例では、基板バイアス発生回路12は、少なくとも、HADセンサDnmから電荷転送部へ信号電荷を読み出すときは、HADセンサDnmから信号電荷を読み出さない場合の基板電圧Vsub1に比べて低い基板電圧Vsub2を半導体基板11に印加するようにされる。基板バイアス発生回路12の内部構成例については図2で説明する。

【0015】この半導体基板11の垂直方向には電荷転送部として n 列の垂直CCD部V1～Vnが格子状に設けられ、基板電圧Vsubを印加した半導体基板11の各々のHADセンサD11～D1m、D21～D2m、…、Dn1～Dnmから信号電荷を読み出し、転送クロック信号に基づいてその信号電荷が垂直方向に転送される。この際の転送クロック信号には2相、4相、6相のクロック信号などが使用される。

【0016】また、半導体基板11上の遮光領域②には電荷蓄積部A1～Anが設けられており、垂直CCD部V1～Vnの各々の出力段がこれらの電荷蓄積部A1～Anに接続されて、その垂直CCD部V1～Vnによる信号電荷を蓄積するようにされている。この電荷蓄積部A1～Anには電荷転送部として水平CCD部13が接続され、電荷蓄積部A1～Anによる信号電荷が転送クロック信号に基づいて水平方向に転送される。この水平CCD部13の出力段には電荷検出部14が接続され、水平CCD部13による信号電荷が検出される。電荷検出部14の出力段にはアンプ15が接続され、信号電荷検出後のアナログ撮像信号Soutが増幅される。この増幅後のアナログ撮像信号Soutは出力端子16から外部の信号処理回路などの周辺回路に出力される。

5

【0017】図2は基板バイアス発生回路12の内部構成例を示す回路図である。図2に示す基板バイアス発生回路12は3つの抵抗R1～R3と、1つのトランジスタTrとを有している。

【0018】抵抗R1の一端は電源線VCCに接続され、その他端は抵抗R2の一端に接続される。抵抗R2の他端は接地線GNDに接続されている。基板電圧Vsubは電源電圧VCC-GNDを分割して生成され、抵抗R1及びR2の直列接続点p1から引き出される。この基板電圧Vsubは、図1に示したHADセンサD11～D1m、D21～D2m・・・Dn1～Dnm、垂直CCD部V1～Vn、水平CCD部13及び電荷検出部14などを配置した半導体基板11に供給される。

【0019】電圧分割用の抵抗R1及びR2の直列接続点p1には、例えば、n型の電界効果トランジスタTrが接続される。この例では、電圧制御用のクロック信号として、例えば、電子シャット制御パルスφVsubに基づいて信号電荷読み出し時の基板電圧Vsubが調整される。このために、トランジスタTrのドレインは直列接続点p1に接続され、そのソースは抵抗R3の一端に接続される。トランジスタTrのゲートには電子シャット制御パルスφVsubが供給される。

【0020】この抵抗R3は従来方式の外付け抵抗R0=1MΩ程度に比べて、1/10～1/100・・・と数段、数10kΩ～数100kΩ単位である。抵抗R3の他端は接地線GNDに接続される。この例では、トランジスタTrのゲートにハイ・レベルの電子シャット制御パルスφVsubが入力されると、トランジスタTrがオンする。このオン動作によって抵抗R3に電流が流れるので、基板電圧Vsubを下げることができる。

【0021】次に、基板バイアス発生回路12の信号電荷読み出し時の動作を説明する。図3Aは読み出しクロック信号φSGの波形図であり、図3Bは基板電圧Vsubの波形図であり、図3Cは電子シャット制御パルスφVsubの波形図である。この例では、読み出しクロック信号φSGの立ち上がりの直後に、基板バイアス発生回路12によって、半導体基板11に供給された基板電圧Vsubが下げられるものである。この際、読み出しクロック信号φSGはHADセンサD11～D1m、D21～D2m・・・Dn1～Dnmから垂直CCD部V1～Vnへ信号電荷の読み出し許可を要する駆動パルスである。

【0022】通常、半導体基板11の基板電圧はDC的にVsub1に固定するようにされている。高速電子シャットを使用する時は、図3Bに示すタイミング①でHADセンサD11～D1m、D21～D2m・・・Dn1～Dnmの信号電荷を一齐に半導体基板11に掃き捨てるために、通常の基板電圧Vsub1よりも高い基板電圧Vsub3を印加するようになされている。

【0023】この例では、図3Aに示すタイミング②で

6

読み出しクロック信号φSGが立ち上がると、その立ち上がり直後に図3Cに示すタイミング③で電子シャット制御パルスφVsubがロー・レベルからハイ・レベルに立ち上がる。この電子シャット制御パルスφVsubを入力したトランジスタTrはオンする。このオン動作により、図3Bに示すタイミング④で通常の基板電圧Vsub1よりも低い基板電圧Vsub2が半導体基板11に印加されるようになる。すなわち、トランジスタTrのオン動作によって、余剰な信号電荷による電流を抵抗R3に強制的に引き入れ、この電流を抵抗R3で消費させることができる。その結果で基板電圧Vsubを下げることができる。この例で、図3Bに示す基板電圧Vsub1、Vsub2、Vsub3は、接地線GNDからの絶対的な電位であり、Vsub2<Vsub1<Vsub3の関係にある。

【0024】従って、信号電荷の読み出し時には、半導体基板11と容量結合しているHADセンサD11～D1m、D21～D2m・・・Dn1～Dnmのポテンシャルも浅くなり、その結果、各々のHADセンサD11～D1m、D21～D2m・・・Dn1～Dnmと、垂直CCD部V1～Vnとの間のフロンジング電界が高くなることにより、HADセンサD11～D1m、D21～D2m・・・Dn1～Dnmから垂直CCD部V1～Vnへ読み出される信号電荷を少なくすることができ、この信号電荷による読み出し電圧を低電圧化することができる。

【0025】なお、信号電荷の読み出し時に、過大な強度の光を受けた場合でも、通常の基板電圧Vsub1よりも低い基板電圧Vsub2を半導体基板11に印加するようにしているので、一部分の信号電荷を半導体基板11に逃がすことができる。この結果、強い光を受けたHADセンサDnmで蓄積されずにあふれた信号電荷が、垂直CCD部V1～Vnで転送している信号電荷に混ざること回避できるので、いわゆる、輝度の高い被写体の画像の上下に白い筋が走るようなブルーミングを抑えることができる。

【0026】(実施例) 図4は固体撮像装置100で使用する1つのHADセンサ20、読み出しゲート30及び垂直CCD40から成る単位素子50の構造図を示す断面図である。この例では、信号電荷の読み出し時に基板電圧Vsubを下げることに、オーバーフローポテンシャルΦOFFと垂直CCDの読み出しポテンシャルΦROGとの関係が逆転(ΦOFF<ΦROG)しない範囲で、HADセンサ20のポテンシャルに変動(浅くする)を与えるようにしたものである。すなわち、信号電荷の転送に必要な最低限の読み出し電圧を確保できる程度に、基板電圧Vsubの低電圧化を図るものである。

【0027】図4に示す固体撮像装置100で使用する単位素子50は、半導体基板としてN型のシリコン基板21が使用される。シリコン基板21には図1で示した撮像領域①及び遮光領域②などを画定するP型ウエル層

22が形成されている。P型ウエル層22はシリコン基板21にP型の不純物を拡散した後に熱処理などを施すことにより形成される。

【0028】このP型ウエル層22内には垂直CCD用のP型ウエル層23が形成されると共に、このP型ウエル層23内に活性層となるN型の不純物拡散層24が形成されている。N型の不純物拡散層24はN型の不純物を拡散した後に熱処理などを施すことにより形成される。N型の不純物拡散層24が形成されたP型ウエル層22上にはゲート酸化膜となるシリコン酸化膜29が形成されると共に、このシリコン酸化膜29上にはゲート電極や転送電極となるポリシリコン膜31が形成されている。

【0029】この例では、ポリシリコン膜31は読み出しゲート30を形成するために、N型の不純物拡散層24の上部領域から右側にはみ出すように形成されている。垂直CCD40は信号電荷を画面に対して垂直方向に転送するために、P型ウエル層23と1対のN型の不純物拡散層24とによって、例えば、n型の電界効果トランジスタが構成される。

【0030】また、P型ウエル層22内には読み出しゲート30を挟むように、HADセンサ用のN型ウエル層25が形成されている。これと共に、このN型ウエル層25内には活性層となるP型の不純物拡散層26が形成されている。もちろん、P型の不純物拡散層26上にもシリコン酸化膜29が形成されている。このP型の不純物拡散層26、N型ウエル層25、P型ウエル層22及びN型のシリコン基板21によってP-NPN型のフォトダイオードが構成され、1単位のHADセンサ20が構成される。なお、読み出しゲート30はP型ウエル層22をチャネル領域とし、垂直CCD用のN型の不純物拡散層24と、HADセンサ用のN型ウエル層25とを共用すると共に、ポリシリコン膜31をゲート電極としたn型の電界効果トランジスタによって構成される。

【0031】この例では垂直CCD用のP型ウエル層23の左側にはチャネルストップ層27が形成され、HADセンサ用のN型ウエル層25の右側にはチャネルストップ層28が形成され、この単位素子50と隣接する他の単位画素を構成するHADセンサ20や垂直CCD40などから素子分離されている。

【0032】更に、ポリシリコン膜31上には層間絶縁膜としてのシリコン酸化膜32が基板全体を覆うように形成されている。シリコン酸化膜32上には転送クロック信号などの信号配線に使用されると共に、遮光膜としても機能するアルミニウム膜33が選択的に形成されている。アルミニウム膜33は、シリコン酸化膜32上でHADセンサ20の窓部34となる部分には形成されていない。この窓部34は被写体からの光をP型の不純物拡散層26に入射させる部分である。

【0033】この例では、信号電荷の読み出し時に、図2で示した基板バイアス発生回路12からN型のシリコン基板21に、その信号電荷を読み出さない場合の基板電圧Vsub1に比べて低い基板電圧Vsub2を供給するようになされたものである。

【0034】次に、固体撮像装置100で使用する単位素子50の読み出し時の動作を説明する。図5は固体撮像装置100で使用する単位素子50のポテンシャル例を示す図である。

【0035】この例では、図5中に境界線Lを定義したときに、その境界線Lの右側は基板水平方向のポテンシャルであり、読み出しゲート30のチャネルポテンシャル Φ_{REG} の変化を示している。その右側は基板深さ方向のポテンシャルであり、HADセンサ20のオーバーフローポテンシャル Φ_{OFF} の変化を示している。いずれのポテンシャルも上部が浅く（エネルギーが低く）下部が深い（エネルギーが高い）ことを示す。境界線Lから右側に延びたX1-X2はHADセンサ20のN型ウエル層25からN型シリコン基板21に向かう深さ方向を定義したものである。

【0036】まず、図4に示す窓部34に光が入射されると、N型ウエル層25内に信号電荷10が蓄積される。このとき、図5に示すP型ウエル層22のオーバーフローポテンシャル Φ_{OFF} が隆起しており、その極大点よりも浅い領域で発生した信号電荷10がN型ウエル層25の蓄積ポテンシャル Φ_S の極小点に転がり落ちて蓄積される。

【0037】このN型ウエル層25に蓄積された信号電荷10を垂直CCD40に読み出す場合には、読み出しゲート30に読み出し許可信号 $\phi_{SG} = \text{H}$ （ハイ）レベルを印加する。つまり、「H」レベルの読み出し許可信号 ϕ_{SG} が読み出しゲート30に印加されると、チャネルポテンシャル Φ_{REG} が、HADセンサ20のN型ウエル層25の蓄積ポテンシャル Φ_S より深くなり、いわゆる、チャネルが開いた状態になる。このチャネルオープンによって、垂直CCD40に信号電荷10が読み出される。このとき、オーバーフローポテンシャル Φ_{OFF} と読み出しゲート30のチャネルポテンシャル Φ_{REG} との関係が $\Phi_{OFF} > \Phi_{REG}$ を維持するように、N型シリコン基板21に基板電圧Vsubを供給するが、この例ではHADセンサ20から信号電荷10を読み出さない場合の基板電圧Vsub1に比べて低い基板電圧Vsub2を印加するようになされたものである。

【0038】従って、N型シリコン基板21と容量結合しているHADセンサ20のN型ウエル層25の蓄積ポテンシャル Φ_S が浅くすると共に、この蓄積ポテンシャル Φ_S とオーバーフローポテンシャル Φ_{OFF} の極大点との差が少なくなる。この結果、N型ウエル層25に蓄積された信号電荷10の一部をN型シリコン基板21へ逃がすことができる。これと共に、HADセンサ20と垂

直CCD40との間のフリンジング電界が高くなることにより、HADセンサ20から垂直CCD40へ読み出される信号電荷10を少なくすることができる。この信号電荷10の低減により、垂直CCD40で転送される信号電荷10の読み出し電圧を低く抑えることができる。

【0039】なお、垂直CCD40に読み出された信号電荷10は、その垂直CCD40の転送電極を中間電位φSG＝「M」（ミッド）レベルにしたり、それよりも低い電位φSG＝「L」（ロー）レベルにすることにより、紙面と垂直する方向に転送される。そして、その信号電荷10は図1に示した電荷蓄積部A1などに蓄積された後に、水平CCD部13を通過して電荷検出部14に至り、アンプ15で増幅された後に、アナログ撮像信号Soutとなって出力端子16から出力される。

【0040】また、信号電荷10が垂直CCD40で転送されている間は、基板バイアス発生回路12によって元の基板電圧Vsub1がN型シリコン基板21に印加される。一方で、次の画像がHADセンサ20で光電変換され、これによる信号電荷10がN型ウェル層25に蓄積される。このときは、基板電圧Vsub1がN型シリコン基板21に供給されているので、垂直転送状態の読み出しゲート30のチャネルポテンシャルφregをHADセンサ20オーバーフローポテンシャルφofsよりも深くすることができる。従って、常に、φofs>φregの関係を保つようになされ、蓄積中の信号電荷10が垂直CCD40に混入することが避けられる。

【0041】このようにして本実施例によれば、HADセンサ20から垂直CCD40へ信号電荷10を読み出すときに、その信号電荷10を読み出さない場合の基板電圧Vsub1に比べて低い基板電圧Vsub2が基板バイアス発生回路12からN型シリコン基板21に印加される。

【0042】従って、各々のHADセンサ20から垂直CCD40へ読み出される信号電荷10の一部をN型シリコン基板21側に逃がすことができるので、その信号電荷10による読み出し電圧を低下させることができる。

【0043】これにより、信号電荷10の転送に必要な最低限の読み出し電圧を確保できる程度に、基板電圧Vsubの電圧低下を図ることが可能となる。HADセンサ20からの読み出し電圧が下がることで、当該固体撮像装置100の消費電力を低減させることができる。

【0044】また、HADセンサ20からの読み出し電圧が下がることで、当該固体撮像装置100に接続される周辺回路の駆動電圧を下げる事ができる。従って、当該固体撮像装置100を搭載したビデオカメラなどの消費電力も低減させることができる。

【0045】更に、HADセンサ20からの読み出し電圧が下がることで、いわゆるブルーミングを発生す

となく、その信号電荷10を垂直・水平方向に転送することができる。従って、HADセンサ20の飽和信号量の拡大が図られ、同等の撮像特性で単位画素を更に微細化することができる。これにより、同一の大きさの受光面を有した従来方式の固体撮像装置に比べて多画素化を図ることができる。この例では読み出し許可信号φSGが読み出しゲート30に印加された直後に基板電圧をVsub1からVsub2へ下げる場合について説明したが、これに限られることはない。

【0046】例えば、メカニカルシャッタなどを使用した場合において、そのHADセンサ20から信号電荷10を読み出すときは、撮像領域φが予め遮光されることから、信号電荷10の読み出しに先行して、基板電圧をVsub1からVsub2へ下げてよい。これによっても、同様な効果が得られる。もちろん、基板電圧Vsubを3値（読み出し時・露光時/掃き捨時）で時分割に駆動してもよい。

【0047】本実施の形態ではフレームインターライントランスファ方式の固体撮像装置の場合について説明したが、これに限られることはなく、フレームトランスファ方式やインターライントランスファ方式の固体撮像装置にも適用することは言うまでもない。

【0048】

【発明の効果】以上説明したように、この発明によれば、光電変換素子から電荷転送部へ信号電荷を読み出すときは、その信号電荷を読み出さない場合の基板バイアス用の電圧に比べて低い電圧を半導体基板に印加する電圧供給部が設けられるものである。

【0049】この構成によって、各々の光電変換素子から電荷転送部へ読み出される信号電荷による読み出し電圧を低下させることができる。従って、信号電荷読出時の読み出し電圧が下がることで、当該固体撮像装置の消費電力を低減させることができる。

【0050】また、信号電荷読出時の読み出し電圧が下がることで、当該固体撮像装置の周辺回路の駆動電圧を下げる事ができる。従って、その周辺回路での消費電力も低減させることができる。

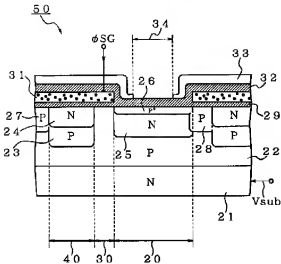
【0051】更に、電荷転送時には基板バイアス用の電圧が元に戻されるので、いわゆるブルーミングを伴うことなく、その信号電荷を垂直・水平方向に転送することができる。従って、光電変換素子の飽和信号量の拡大が図られ、同等の撮像特性で単位画素を更に微細化することができる。これにより、従来方式に比べて固体撮像装置の多画素化を図ることができる。

【0052】この発明は複数の光電変換素子を二次元状に配置したフレームトランスファ方式、インターライントランスファ方式及びフレームインターライントランスファ方式などのCCD撮像装置に適用して極めて好適である。

【図面の簡単な説明】

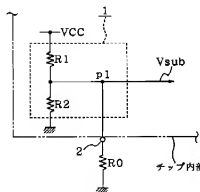
【図4】

単位素子50の断面の構成例



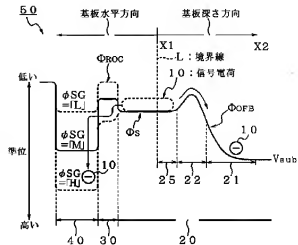
【図6】

従来方式の基板バイアス発生回路1の構成例



【図5】

単位素子50のポテンシャル例



【手続補正書】

【提出日】平成10年9月1日(1998.9.1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】本発明によれば、光電変換素子から電荷転送部へ信号電荷を読み出すときに、その信号電荷を読み出さない場合の基板バイアス用の電圧に比べて低い電圧が電圧供給部から半導体基板に印加される。従って、各

々の光電変換素子のポテンシャルを浅くすることができるので、その信号電荷による読み出し電圧を低下させることができる。これにより、電荷読出時の信号電荷による読み出し電圧が下がることで、当該固体撮像装置の消費電力を低減させることができる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】電圧分割用の抵抗R1及びR2の直列接続点P1には、例えば、n型の電界効果トランジスタTrが接続される。この例では、電圧制御用のクロック信号として、例えば、基板電圧制御パルスφVsubに基づいて信号電荷読み出し時の基板電圧Vsubが調整される。このために、トランジスタTrのドレインは直列接続点P1に接続され、そのソースが抵抗R3の一端に接続される。トランジスタTrのゲートには基板電圧制御パルスφVsubが供給される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】この抵抗R3は従来方式の外付け抵抗R0=1MΩ程度に比べて、1/10〜1/100・・・と数段低く、数10KΩ〜数100KΩ単位である。抵抗R3の他端は接地線GNDに接続される。この例では、トランジスタTrのゲートにハイ・レベルの基板電圧制御パルスφVsubが入力されると、トランジスタTrがオンする。このオン動作によって抵抗R3に電流が流れるので、基板電圧Vsubを下げるができる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】次に、基板バイアス発生回路12の信号電荷読み出し時の動作を説明する。図3Aは読み出しクロック信号φSGのバース波形図であり、図3Bは基板電圧Vsubの波形図であり、図3Cは基板電圧制御パルスφVsubのバース波形図である。この例では、読み出しクロック信号φSGの立ち上がりの直後に、基板バイアス発生回路12によって、半導体基板11に供給された基板電圧Vsubが下げられるものである。この際読み出しクロック信号φSGはHADセンサD11〜D1m、D21〜D2m・・・Dn1〜Dnmから垂直CCD部V1〜Vnへ信号電荷の読み出し許可をする駆動パルスである。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】この例では、図3Aに示すタイミング②で読み出しクロック信号φSGが立ち上がると、その立ち上がり直後に図3Cに示すタイミング③で基板電圧制御パルスφVsubがロー・レベルからハイ・レベルに立ち上がる。この基板電圧制御パルスφVsubを入力したトランジスタTrはオンする。このオン動作により、図3

Bに示すタイミング④で通常の基板電圧Vsub1よりも低い基板電圧Vsub2が半導体基板11に印加されるようになる。すなわち、トランジスタTrのオン動作によって、余剰な信号電荷による電流を抵抗R3に強制的に引き入れ、この電流を抵抗R3で消費させることができる。その結果で基板電圧Vsubを下げるができる。この例で、図3Bに示す基板電圧Vsub1、Vsub2、Vsub3は、接地線GNDからの絶対的な電位であり、Vsub2<Vsub1<Vsub3の関係にある。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】従って、信号電荷の読み出し時には、半導体基板11と容量結合しているHADセンサD11〜D1m、D21〜D2m・・・Dn1〜Dnmのポテンシャルも浅くなり、その結果、各々のHADセンサD11〜D1m、D21〜D2m・・・Dn1〜Dnmと、垂直CCD部V1〜Vnとの間のフロンジング電界が高くなることにより、HADセンサD11〜D1m、D21〜D2m・・・Dn1〜Dnmから垂直CCD部V1〜Vnへの読み出し電圧を低電圧化することができる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】削除

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】(実施例) 図4は固体撮像装置100で使用する1つのHADセンサ20、読み出しゲート30及び垂直CCD40から成る単位素子50の構造例を示す断面図である。この例では、HADセンサ20から信号電荷を読み出した後に、基板電圧Vsubを下げることに、そのHADセンサ20のポテンシャルに変調(浅くする)を与えるようにしたものである。すなわち、信号電荷の転送に必要な最低限の読み出し電圧を確保できる程度に、基板電圧Vsubの低電圧化を図るものである。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】この例では、図5中に境界線Lを定義したときに、その境界線Lの左側は基板水平方向のポテンシャルであり、読み出しゲート30のチャネルポテンシャ

ル Φ_{reg} の変化を示している。その右側は基板深さ方向のポテンシャルであり、HADセンサ20のオーバーフローポテンシャル Φ_{off} の変化を示している。いずれのポテンシャルも上部が浅く（エネルギーが低く）下部が深い（エネルギーが高い）ことを示す。境界線Lから右側に延びたX1-X2はHADセンサ20のN型ウエル層25からN型シリコン基板21に向かう深さ方向を定義したものである。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】従って、N型シリコン基板21と容量結合しているHADセンサ20のN型ウエル層25の蓄積ポテンシャル Φ_s が浅くなると共に、この蓄積ポテンシャル Φ_s とオーバーフローポテンシャル Φ_{off} の極大点との差が少なくなる。これと共に、HADセンサ20と垂直CCD40との間のフリンジング電界が高くなることにより、信号電荷10の読み出し電圧を低く抑えることができる。